

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-255912

(43)Date of publication of application : 01.10.1996

(51)Int.Cl.

H01L 29/78

H01L 21/336

G23C 14/34

H01L 21/203

H01L 21/28

H01L 21/285

(21)Application number : 08-005771

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 17.01.1996

(72)Inventor : INOUE YASUNORI

(30)Priority

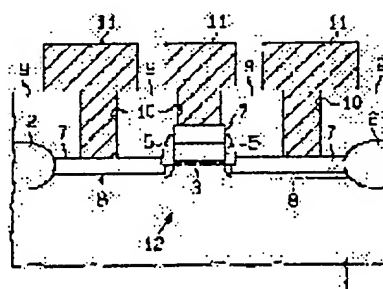
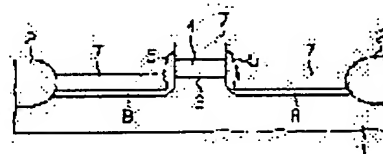
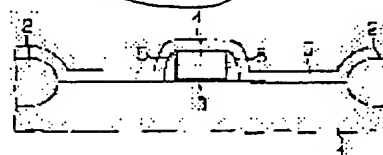
Priority number : 07 5018 Priority date : 17.01.1995 Priority country : JP

(54) SEMICONDUCTOR DEVICE, FABRICATION THEREOF AND TARGET

(57)Abstract:

PURPOSE: To form a shallow junction of a source-drain region while reducing the parasitic resistance in the source-drain region and the interconnection resistance of the gate electrode simultaneously.

CONSTITUTION: Boron doped titanium 6 is deposited on the entire surface of a device. First heat treatment is then carried out to cause reaction among the titanium 6, a silicon substrate 1 and a polysilicon gate electrode 4 thus depositing titanium silicide 7. The boron doped titanium 6 not subjected to silification is then removed by wet etching using a mixture solution of hydrogen peroxide water, ammonia and water heat at about 60°C thus leaving only the titanium silicide 7. Subsequently, second heat treatment is carried out in order to decrease the resistance of the substrate 1 deposited with the titanium silicide 7 and the gate electrode 4. At the same time, boron is diffused from the titanium silicide 7 into the substrate 1 thus



forming a heavily doped shallow junction region 8 about 40nm deep.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-255912

(43) 公開日 平成8年(1996)10月1日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 P
21/336			C 2 3 C 14/34	A
C 2 3 C 14/34			H 0 1 L 21/203	S
H 0 1 L 21/203			21/28	3 0 1 T
21/28	3 0 1		21/285	S
審査請求 未請求 請求項の数17 O L (全 20 頁) 最終頁に続く				

(21) 出願番号 特願平8-5771

(22) 出願日 平成8年(1996)1月17日

(31) 優先権主張番号 特願平7-5018

(32) 優先日 平7(1995)1月17日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 井上 恭典

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

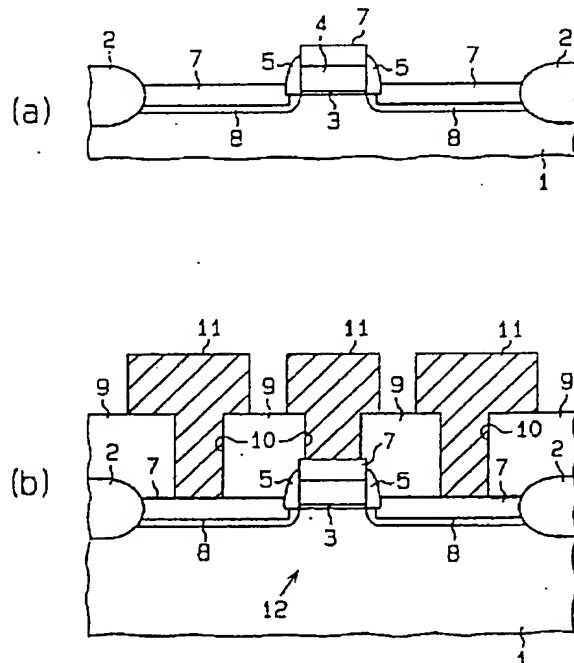
(74) 代理人 弁理士 岡田 敬

(54) 【発明の名称】 半導体装置、半導体装置の製造方法、ターゲット

(57) 【要約】

【課題】ソース・ドレイン領域の寄生抵抗とゲート電極の配線抵抗とを同時に低減した上で、ソース・ドレイン領域の浅い接合を形成する。

【解決手段】デバイスの全面にボロンをドーパしたチタン膜6を形成する。次に、1回目の熱処理を行い、チタン膜6とシリコン基板1およびポリシリコンから成るゲート電極4とを反応させてチタンシリサイド膜7を形成する。続いて、60℃程度に加熱した過酸化水素水とアンモニアと水の混合溶液を用いたウェットエッチング法により、シリサイド化していないボロンドープチタン膜6を除去してチタンシリサイド膜7だけを残す。その後、2回目の熱処理を行い、チタンシリサイド膜7が表面に形成された基板1およびゲート電極4の抵抗を低減する。それと同時に、チタンシリサイド膜7中のボロンが基板1中に拡散し、接合深さが40nm程度の高濃度の浅い接合領域8が形成される。



【特許請求の範囲】

【請求項1】 不純物がドーパされた金属膜を備えたことを特徴とする半導体装置。

【請求項2】 ソース領域またはドレイン領域が浅い接合で形成され、ドレイン領域が低濃度領域と高濃度領域とを有したLDD構造を備え、その低濃度領域はゲート電極の側壁に形成されたドーパドオキサイドから成るサイドウォールスペーサの下部に形成され、ソース領域またはドレイン領域の上に自己整合的にシリサイド膜が形成されたサリサイド構造を備え、シリサイド膜には不純物がドーパされていることを特徴とした半導体装置。

【請求項3】 PVD法またはCVD法による金属膜の形成時に、その金属膜の原料に不純物を添加することで、不純物がドーパされた金属膜を形成する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項4】 スパッタ法による金属膜の形成時に、予め不純物が添加された合金ターゲットを用いることで、不純物がドーパされた金属膜を形成する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項5】 スパッタ法による金属膜の形成時に、金属膜の原料から成るターゲットと不純物から成るターゲットとを用いることで、不純物がドーパされた金属膜を形成する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項6】 CVD法による金属膜の形成時に、その金属膜の原料ガスに不純物を添加することで、不純物がドーパされた金属膜を形成する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項7】 請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、シリコン層上に不純物がドーパされた金属膜を形成する工程と、熱処理を行うことで、金属膜とシリコン層とが接触している箇所にシリサイド膜を形成すると共に、金属膜中の不純物をシリコン層中へ拡散させる工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項8】 請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、不純物がドーパされたシリコン層上に、シリコン層と異なる導電性の不純物がドーパされた金属膜を形成する工程と、熱処理を行うことで、金属膜とシリコン層とが接触している箇所にシリサイド膜を形成すると共に、金属膜中の不純物をシリコン層中へ拡散させてシリコン層にpn接合を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項9】 請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、不純物がドーパされたシリコン層上に、シリコン層と同じ導電性の不純物がドーパされた金属膜を形成する工程と、熱処理を行うことで、金属膜とシリコン層とが接触している箇所にシリサイド膜を形成すると共に、金属膜中の

不純物をシリコン層中へ拡散させる工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項10】 シリコン層上にゲート絶縁膜およびゲート電極を形成する工程と、

ゲート電極の側壁にサイドウォールスペーサを形成する工程と、

請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、前記の工程で形成されたデバイスの全面に不純物がドーパされた金属膜を形成する工程と、

熱処理を行うことで、金属膜とシリコン層とが接触している箇所にシリサイド膜を形成してサリサイド構造を形成すると共に、金属膜中の不純物をシリコン層中へ拡散させてソース領域またはドレイン領域を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項11】 シリコン層上にゲート絶縁膜およびゲート電極を形成する工程と、

ゲート電極の側壁にドーパドオキサイドから成るサイドウォールスペーサを形成する工程と、

請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、前記の工程で形成されたデバイスの全面に不純物がドーパされた金属膜を形成する工程と、

熱処理を行うことで、金属膜とシリコン層とが接触している箇所にシリサイド膜を形成してサリサイド構造を形成すると共に、金属膜中の不純物およびサイドウォールスペーサ中の不純物をそれぞれシリコン層中へ拡散させてソース領域またはドレイン領域を形成してLDD構造を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項12】 請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、不純物領域に通じるコンタクトホールを少なくとも底部に、不純物がドーパされた金属膜を形成する工程と、

この金属膜を不純物領域に接続される金属配線の少なくとも一部分として加工する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項13】 シリコン基板の表面に不純物領域を形成する工程と、

請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、不純物領域に通じるコンタクトホールを少なくとも底部に、不純物領域と同じ導電性の不純物がドーパされた金属膜を形成する工程と、

熱処理を行うことで、金属膜とシリコン基板とが接触している箇所にシリサイド膜を形成すると共に、金属膜中の不純物をシリコン基板の表面へ拡散させる工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項14】 シリコン基板に第1導電型の不純物領域と第2導電型の不純物領域とを形成する工程と、

請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、第1導電型の不純物領域に通じるコンタクトホールを少なくとも底部に、この不純物領域と同じ

3

導電性の不純物がドーパされた第1金属膜を形成する工程と、

熱処理を行うことで、第1金属膜とシリコン基板とが接触している箇所にシリサイド膜を形成する工程と、

請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、第2導電型の不純物領域に通じるコンタクトホールを少なくとも底部に、この不純物領域と同じ導電性の不純物がドーパされた第2金属膜を形成する工程と、

シリサイド膜及び第2金属膜の少なくとも一方を、各不純物領域に接続される金属配線の少なくとも一部分として加工する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項15】 請求項12～14のいずれか1項に記載の半導体装置の製造方法において、不純物領域は、トランジスタのソース又はドレインとして機能することを特徴とした半導体装置の製造方法。

【請求項16】 請求項7～11、14のいずれか1項に記載の半導体装置の製造方法において、

前記シリサイド膜の形成後に、シリサイド化していない金属膜を除去する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項17】 スパッタ法で用いられるターゲットにおいて、金属材料に不純物が添加された合金から成ることを特徴としたターゲット。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置、半導体装置の製造方法、ターゲットに関するものである。

【0002】

【従来の技術】近年、半導体装置の高集積化・高速化を実現するため、デザインルールのさらなる縮小が検討されている。今日では、256 MDRAMの試作、ゲート長0.1 μm のCMOSTランジスタの試作が発表されている。このようなトランジスタの微細化の進展により、スケールリング則に従ったデバイスサイズの縮小と、それに伴う動作の高速化とが期待される。

【0003】しかし、単にトランジスタを微細化しただけでは、チャネル抵抗の減少は可能になるものの、ソース・ドレインの拡散層（ソース・ドレイン領域）の寄生抵抗やコンタクト部の抵抗（コンタクト抵抗）がチャネル抵抗と同等かそれ以上に大きくなり、動作の高速化を図る上で障害となる。加えて、動作の高速化を図るには、ゲート配線（電極）を低抵抗化する必要もある。

【0004】従来より、半導体デバイスにおけるこれらの抵抗を低くする手段として、チタン（Ti）、チタンタングステン（TiW）、窒化チタン（TiN）などの高融点金属又はその化合物が用いられている。以下、この高融点金属を用いた低抵抗化の具体的手法について、いくつか説明する。

4

【0005】1) サリサイド法

ソース・ドレイン領域の寄生抵抗とゲート電極の配線抵抗とを同時に低減する方法として、サリサイド（Salicide; Self-aligned silicide）法が提案されている（T. Yoshida, et. al.: J. Electrochem. Soc., Vol. 137, No. 6, (1990) pp1914-1917. 参照）。

【0006】一般的なサリサイド法（サリサイド構造）を用いたLDD（Lightly Doped Drain）構造のpチャネルMOSトランジスタの製造方法を、図10及び図11に示すデバイスの断面模式図に従って説明する。

工程1（図10（a）参照）：LOCOS（Localized Oxidation of Silicon）法を用い、n形単結晶シリコン基板71上に素子分離領域72を形成する。次に、熱酸化法を用い、基板71上にシリコン酸化膜を形成する。

続いて、CVD（Chemical Vapor Deposition）法を用い、シリコン酸化膜上にボロンをドーパしたドーパドポリシリコン膜を形成する。そして、ドーパドポリシリコン膜及びシリコン酸化膜を所望の形状にパターニングして、ゲート絶縁膜73及びゲート電極74を形成する。

【0007】工程2（図10（b）参照）：ゲート電極74をイオン注入用マスクとして用い、基板71の表面にボロンイオン（B⁺）を注入して、自己整合的（セルフアライン）に低濃度領域75を形成する。

工程3（図10（c）参照）：CVD法を用い、上記の工程で形成されたデバイスの全面にシリコン酸化膜を形成する。次に、全面エッチバック法を用いてシリコン酸化膜をエッチバックし、ゲート電極74の側壁にサイドウォールスペーサ76を形成する。続いて、ゲート電極74及びサイドウォールスペーサ76をイオン注入用マスクとして用い、基板71の表面にフッ化ボロンイオン（BF₂⁺）を注入して、自己整合的に高濃度領域77を形成する。

【0008】工程4（図11（a）参照）：等方性エッチングを用い、基板71表面に形成された自然酸化膜を除去する。次に、マグネトロンスパッタ法を用い、上記の工程で形成されたデバイスの全面にチタン膜78（膜厚：30 nm）を形成する。

工程5（図11（b）参照）：電気炉中での熱処理法またはRTA（Rapid Thermal Annealing）法を用い、処理温度：600～700℃で1回目の熱処理を行う。その結果、チタン膜78と基板71、チタン膜78とゲート電極74とがそれぞれ接触している箇所に自己整合的にチタンシリサイド（TiSi₂）膜79が形成される。それと同時に、低濃度領域75中および高濃度領域77中のボロンが活性化される。尚、電気炉中での熱処理法を用いた場合の処理時間は30分間程度、RTA法を用いた場合の処理時間は30秒程度である。このとき、チタン膜78とサイドウォールスペーサ76とが接触している箇所には、チタンシリサイド膜79は形成されない。

【0009】次に、60℃程度に加熱した過酸化水素水とアンモニアと水の混合溶液（混合比は、 $\text{H}_2\text{O}_2:\text{NH}_4\text{OH}:\text{H}_2\text{O}=1:1:5$ ）を用いたウェットエッチング法により、シリサイド化していないチタン膜78を除去してチタンシリサイド膜79だけを残す。続いて、電気炉中での熱処理法またはRTA法を用い、処理温度：750～900℃で2回目の熱処理を行う。尚、2回目の熱処理時間は1回目の熱処理のそれと同じである。この2回目の熱処理により、チタンシリサイド膜79が表面に形成されたゲート電極74、チタンシリサイド膜79が表面に形成された高濃度領域77のそれぞれのシート抵抗は5Ω/□程度に低減される。

【0010】工程6（図11（c）参照）：上記の工程で形成されたデバイスの全面に層間絶縁膜80を形成する。次に、異方性エッチングを用い、層間絶縁膜80にチタンシリサイド膜79とコンタクトするコンタクトホール81を形成する。続いて、スパッタ法を用い、コンタクトホール81内に金属材料を充填して金属配線82を形成する。その結果、低濃度領域75と高濃度領域77とから成るソース・ドレイン領域83を備えたLDD構造のpチャネルMOSトランジスタ84の製造工程が完了する。

【0011】MOSトランジスタ83では、チタンシリサイド膜79が形成されたことにより、ソース・ドレイン領域83の寄生抵抗とゲート電極74の配線抵抗とが同時に低減される。尚、LDD構造のnチャネルMOSトランジスタを形成する際には、各領域75、77にn形不純物（リン、ヒ素、等）をイオン注入すればよい。

【0012】また、チタン膜78をニッケル膜、プラチナ膜、コバルト膜などに置き代えることで、チタンシリサイド膜79をニッケルシリサイド膜、プラチナシリサイド膜、コバルトシリサイド膜などに置き代えることができる（第41回応用物理学関係連合講演会予稿集（1994年）、29p-ZG-13、29p-ZG-14参照）。

2）Ti/TiN積層バリアメタルを利用する方法
ソース・ドレイン領域と金属配線との間のコンタクト抵抗を低減する方法として、Ti/TiN積層バリアメタル法がある。これは、同時に、金属配線を構成するAlなどとSi基板とが反応することを防止する構造でもある。

【0013】一般的な構造のpチャネルMOSトランジスタに金属配線を接続するプロセスを、図12に示すデバイスの断面模式図に従って説明する。尚、この製造方法において、前記したシリサイド法のそれと同じ構成部材についてはその符号を等しくする。

工程1（図12（a）参照）：図10と同じ手法で、pチャネルMOSトランジスタを形成する。

【0014】工程2（図12（b）参照）：通常のCVD法を用い、上記の工程で形成されたデバイスの全面にHTO膜やBPSG膜などの層間絶縁膜101を形成

する。

工程3（図12（c）参照）：フォトリソグラフィ技術及びドライエッチング技術を用いて、前記層間絶縁膜101に、前記ソース・ドレイン領域83及びゲート電極74に通じるコンタクトホール102～104をそれぞれ形成する。

【0015】工程4（図12（d）参照）：マグネトロンスパッタ法を用いて、前記層間絶縁膜101上及びコンタクトホール102～104内にTi膜105（膜厚30～50nm）を形成する。

工程5（図12（e）参照）：Ti膜105の上に、マグネトロンスパッタ法を用いて、TiN膜106（膜厚70～100nm）を形成する。更にその上に、アルミ合金膜（Al-Si（1%）-Cu（0.5%））107を形成し、フォトリソグラフィ技術及びドライエッチング技術により、これらの金属膜を所定形状に加工する。

【0016】こうして、pチャネルMOSトランジスタとAl配線との接続を完了させる。前記Ti膜105はコンタクト部においてトランジスタと配線との間に設けられ、この部分のコンタクト抵抗を低減させる動きをする。前記TiN膜106は、AlとSiとが反応することを防止するいわゆるバリアメタルの動きをする。しかしながら、この手法では、ソース・ドレイン領域83にドーパされているホウ素（B）がTi膜105中に拡散し、ソース・ドレイン領域83の不純物濃度が低下するため、コンタクト抵抗の大幅な低下が望めない問題がある。

【0017】そこで、このTi膜105にBが拡散することを考慮して、予めTi膜105を形成する前に、ソース・ドレイン領域83にBを追加ドーピングする手法が提案されている（Proceedings VMC Conference June 12-13, 1989, P105参照）。これを、図13に基づいて説明する。尚、図13a～cの工程は図12a～cの工程と共通なので、説明を省略し、それ以降の工程から説明する。

【0018】工程6（図13（d）参照）：層間絶縁膜101をマスクとして、前記ソース・ドレイン領域83及びゲート電極74に、Bをイオン注入し、更に熱処理して活性化することにより、ソース・ドレイン領域83の表面に新たなp⁺層108を形成する。その後は、図12d、eと同様にTi膜105/TiN膜106/Al合金膜107からなる金属配線を形成する。

【0019】こうすることにより、コンタクト抵抗は、直径1μmのコンタクトホールにおいて30～50Ω程度に低下させることができる。

3）シリコン基板への固相拡散源としてドーパドオキサイドを利用する方法

ところで、トランジスタを微細化するためには、ソース・ドレイン間のバンチスルーを防ぐ必要から、ソース・

10

20

30

40

50

ドレイン領域 (nチャネルMOSトランジスタではn⁺層、pチャネルMOSトランジスタではp⁺層)の浅い接合 (shallow junction) を形成しなければならない。

【0020】ソース・ドレイン領域の浅い接合を形成する方法としては、シリコン基板への固相拡散源としてドーパドオキサイドを利用する方法が提案されている (M. Saito, et. al.: IEEE, IEDM, (1992) pp897-900. 参照)。ドーパドオキサイドとしてBSG (Boro-Silicate Glass) 膜を用いたLDD構造のpチャネルMOSトランジスタの製造方法を、図14及び図15に示すデバイスの断面模式図に従って説明する。尚、この製造方法において、前記したサリサイド法のそれと同じ構成部材についてはその符号を等しくする。

【0021】工程1 (図14 (a) 参照): 前記したサリサイド法における工程1 (図10 (a) 参照) と同じである。

工程2 (図14 (b) 参照): CVD法を用い、上記の工程で形成されたデバイスの全面にボロン濃度: $4 \times 10^{21} \text{ cm}^{-3}$ のBSG膜 (膜厚: 100 nm) を形成する。BSG膜を形成するには、CVD成長時において、原料ガスであるシラン (SiH_4) ガスにジボラン (B_2H_6) ガスを添加すればよい。次に、全面エッチバック法を用いてBSG膜をエッチバックし、ゲート電極74の側壁にサイドウォールスペーサ91を形成する。

【0022】工程3 (図14 (c) 参照): RTA法を用い、処理時間: 3秒程度、処理温度: 1000°Cで1回目の熱処理を行い、サイドウォールスペーサ91中のボロンを基板71中に拡散させて低濃度の浅い接合領域92を形成する。

工程4 (図15 (a) 参照): ゲート電極74及びサイドウォールスペーサ91をイオン注入用マスクとして用い、基板71の表面にフッ化ボロンイオンを注入して、自己整合的に高濃度領域93を形成する。次に、電気炉中での熱処理法またはRTA法を用いて2回目の熱処理を行い、低濃度の浅い接合領域92中及び高濃度領域93中のボロンを活性化させる。

【0023】工程5 (図15 (b) 参照): 前記したサリサイド法における工程6 (図11 (c) 参照) と同じである。その結果、低濃度の浅い接合領域92と高濃度領域93とから成るソース・ドレイン領域94を備えたLDD構造のpチャネルMOSトランジスタ95の製造工程が完了する。MOSトランジスタ95では、サイドウォールスペーサ91 (BSG膜) を固相拡散源として用いて低濃度の浅い接合領域92が形成されるため、低濃度の浅い接合領域92の接合深さを40 nm程度と浅くすることができる。

【0024】尚、LDD構造のnチャネルMOSトランジスタを形成する際には、サイドウォールスペーサ91を形成するためのBSG膜をPSG (Phospho-Silicate Glass) 膜またはAsSG (Arsenic Silicate Glass) 膜

膜に置き代えると共に、高濃度領域93にn形不純物 (リン、ヒ素、等) をイオン注入すればよい。PSG膜またはAsSG膜を形成するには、CVD成長時において、それぞれシランガスにホスフィン (PH_3) ガスまたはアルシン (AsH_3) ガスを添加すればよい。

【0025】

【発明が解決しようとする課題】図10及び図11に示したサリサイド法にあつては、次のような問題を有する。すなわち、サリサイド法の工程5における2回目の熱処理において、低濃度領域75中および高濃度領域77中のボロンが基板71中に深く拡散する。そのため、ソース・ドレイン領域83の接合深さを100 nm以下にすることが難しい。つまり、この方法では、ソース・ドレイン領域83の寄生抵抗とゲート電極74の配線抵抗とを同時に低減することができる反面、ソース・ドレイン領域83の浅い接合を形成することができないという問題がある。

【0026】そこで、チタンシリサイド膜79の形成後にフッ化ボロンイオンの注入を行って高濃度領域77を形成することで、ソース・ドレイン領域83の浅い接合を形成する方法が提案されている。しかし、この方法では、チタンシリサイド膜79の表面に生じている凹凸のため、チタンシリサイド膜79を介して基板71に均一なドーパ量の不純物イオンを注入することが難しい。従って、高濃度領域77の不純物濃度が不均一になるという問題がある。

【0027】また、2回目の熱処理温度を低くすることで、ソース・ドレイン領域83の浅い接合を形成する方法が提案されている。しかし、この方法では、チタンシリサイド膜79とソース・ドレイン領域83の接合との界面における不純物濃度が低下するため、当該接合界面の寄生抵抗が増大する。従って、逆バイアスにおける接合リークが増大や、ドレイン電圧-ドレイン電流 ($V_{ds} - I_{ds}$) 特性の立ち上がり不良という問題が生じる。そこで、チタンシリサイド膜79を薄膜化する方法 (第41回応用物理学関係連合講演会予稿集 (1994年)、29p-ZG-10 参照) や、2重ソース・ドレインイオン注入法を用いる方法 (同、29p-ZG-11 参照) が提案されているが、いずれの方法でも製造工程が複雑化し、スループットが低下するという問題がある。

【0028】尚、チタンシリサイド膜79を他のシリサイド膜 (ニッケルシリサイド膜、プラチナシリサイド膜、コバルトシリサイド膜など) に置き代えた場合においても、上記と同様の問題がある。また、図13に示した手法では次のような問題を有する。すなわち、追加イオン注入で形成されたp⁺領域108を活性化させるために高温のアニールを行うと、MOSトランジスタの初期の動作設計に影響を与えるので、800°C以下の温度を用いざるをえず、イオン注入で形成された結晶欠陥を十分に修復することができない問題がある。

【0029】また、図14及び図15に示すシリコン基板への固相拡散源としてドーパドオキシドを利用する方法は次のような問題点を有する。すなわち、低濃度の浅い接合領域92のシート抵抗は $10\text{ k}\Omega/\square$ 程度と極めて高い。つまり、この方法では、ソース・ドレイン領域83の浅い接合を形成することができる反面、ソース・ドレイン領域83の寄生抵抗が増大するという問題がある。

【0030】そこで、ソース・ドレイン領域94全体としての寄生抵抗を低減するため、高濃度領域93の接合深さを深くしてその寄生抵抗を下げることで、低濃度の浅い接合領域92の寄生抵抗の高さを補う方法が提案されている。しかし、この方法では、各ソース・ドレイン領域94間のパンチスルーを抑制するため、低濃度の浅い接合領域92の幅(=サイドウォールスペース91の幅)を $0.15\mu\text{m}$ 以上にすることがある。従って、MOSトランジスタ95の微細化が困難になるという問題がある。

【0031】尚、サイドウォールスペース91を形成するためのBSG膜を他のドーパドオキシド(PSG膜またはAsSG膜)に置き代えた場合においても、上記と同様の問題がある。本発明は上記問題点を解決するためになされたものであって、以下の目的を有するものである。

【0032】1) 低抵抗で且つ浅い接合を備えた半導体装置およびその製造方法を提供する。

2) 高性能なトランジスタを備えた半導体装置およびその製造方法を提供する。

3) 不純物がドーパされた金属膜を備えた半導体装置およびその製造方法を提供する。

【0033】4) 上記1)または2)の半導体装置の製造方法で用いるターゲットを提供する。

【0034】

【課題を解決するための手段】請求項1に記載の発明は、不純物がドーパされた金属膜を備えたことをその要旨とする。請求項2に記載の発明は、ソース領域またはドレイン領域が浅い接合で形成され、ドレイン領域が低濃度領域と高濃度領域とを有したLDD構造を備え、その低濃度領域はゲート電極の側壁に形成されたドーパドオキシドから成るサイドウォールスペース91の下部に形成され、ソース領域またはドレイン領域の上に自己整合的にシリサイド膜が形成されたサリサイド構造を備え、シリサイド膜には不純物がドーパされていることをその要旨とする。

【0035】請求項3に記載の発明は、PVD法またはCVD法による金属膜の形成時に、その金属膜の原料に不純物を添加することで、不純物がドーパされた金属膜を形成する工程を備えたことをその要旨とする。請求項4に記載の発明は、スパッタ法による金属膜の形成時に、予め不純物が添加された合金ターゲットを用いるこ

とで、不純物がドーパされた金属膜を形成する工程を備えたことをその要旨とする。

【0036】請求項5に記載の発明は、スパッタ法による金属膜の形成時に、金属膜の原料から成るターゲットと不純物から成るターゲットとを用いることで、不純物がドーパされた金属膜を形成する工程を備えたことをその要旨とする。請求項6に記載の発明は、CVD法による金属膜の形成時に、その金属膜の原料ガスに不純物を添加することで、不純物がドーパされた金属膜を形成する工程を備えたことをその要旨とする。

【0037】請求項7に記載の発明は、請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、シリコン層上に不純物がドーパされた金属膜を形成する工程と、熱処理を行うことで、金属膜とシリコン層とが接触している箇所にシリサイド膜を形成すると共に、金属膜中の不純物をシリコン層中へ拡散させる工程とを備えたことをその要旨とする。

【0038】請求項8に記載の発明は、請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、不純物がドーパされたシリコン層上に、シリコン層と異なる導電性の不純物がドーパされた金属膜を形成する工程と、熱処理を行うことで、金属膜とシリコン層とが接触している箇所にシリサイド膜を形成すると共に、金属膜中の不純物をシリコン層中へ拡散させてシリコン層にpn接合を形成する工程とを備えたことをその要旨とする。

【0039】請求項9に記載の発明は、請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、不純物がドーパされたシリコン層上に、シリコン層と同じ導電性の不純物がドーパされた金属膜を形成する工程と、熱処理を行うことで、金属膜とシリコン層とが接触している箇所にシリサイド膜を形成すると共に、金属膜中の不純物をシリコン層中へ拡散させる工程とを備えたことをその要旨とする。

【0040】請求項10に記載の発明は、シリコン層上にゲート絶縁膜およびゲート電極を形成する工程と、ゲート電極の側壁にサイドウォールスペースを形成する工程と、請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、前記の工程で形成されたデバイスの全面に不純物がドーパされた金属膜を形成する工程と、熱処理を行うことで、金属膜とシリコン層とが接触している箇所にシリサイド膜を形成してサリサイド構造を形成すると共に、金属膜中の不純物をシリコン層中へ拡散させてソース領域またはドレイン領域を形成する工程とを備えたことをその要旨とする。

【0041】請求項11に記載の発明は、シリコン層上にゲート絶縁膜およびゲート電極を形成する工程と、ゲート電極の側壁にドーパドオキシドから成るサイドウォールスペースを形成する工程と、請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、前記

11

の工程で形成されたデバイスの全面に不純物がドーパされた金属膜を形成する工程と、熱処理を行うことで、金属膜とシリコン層とが接触している箇所にシリサイド膜を形成してサリサイド構造を形成すると共に、金属膜中の不純物およびサイドウォールスペース中の不純物をそれぞれシリコン層中へ拡散させてソース領域またはドレイン領域を形成してLDD構造を形成する工程とを備えたことをその要旨とする。

【0042】請求項12に記載の発明は、請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、不純物領域に通じるコンタクトホールを少なくとも底部に、不純物がドーパされた金属膜を形成する工程と、この金属膜を不純物領域に接続される金属配線の少なくとも一部分として加工する工程とを備えたことをその要旨とする。

【0043】請求項13に記載の発明は、シリコン基板の表面に不純物領域を形成する工程と、請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、不純物領域に通じるコンタクトホールを少なくとも底部に、不純物領域と同じ導電性の不純物がドーパされた金属膜を形成する工程と、熱処理を行うことで、金属膜とシリコン基板とが接触している箇所にシリサイド膜を形成すると共に、金属膜中の不純物をシリコン基板の表面へ拡散させる工程とを備えたことをその要旨とする。

【0044】請求項14に記載の発明は、シリコン基板に第1導電型の不純物領域と第2導電型の不純物領域とを形成する工程と、請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、第1導電型の不純物領域に通じるコンタクトホールを少なくとも底部に、この不純物領域と同じ導電性の不純物がドーパされた第1金属膜を形成する工程と、熱処理を行うことで、第1金属膜とシリコン基板とが接触している箇所にシリサイド膜を形成する工程と、請求項3～6のいずれか1項に記載の半導体装置の製造方法を用いて、第2導電型の不純物領域に通じるコンタクトホールを少なくとも底部に、この不純物領域と同じ導電性の不純物がドーパされた第2金属膜を形成する工程と、シリサイド膜及び第2金属膜の少なくとも一方を、各不純物領域に接続される金属配線の少なくとも一部分として加工する工程とを備えたことをその要旨とする。

【0045】請求項15に記載の発明は、請求項12～14のいずれか1項に記載の半導体装置の製造方法において、不純物領域が、トランジスタのソース又はドレインとして機能することをその要旨とする。請求項16に記載の発明は、請求項7～11、14のいずれか1項に記載の半導体装置の製造方法において、前記シリサイド膜の形成後に、シリサイド化していない金属膜を除去する工程を備えたことをその要旨とする。

【0046】請求項17に記載の発明は、スパッタ法で用いられるターゲットにおいて、金属材料に不純物が添

12

加された合金から成ることをその要旨とする。すなわち、請求項1に記載の発明によれば、シリコンに対してドーパントとなる不純物がドーパされた金属膜を用いてシリサイド膜を形成すると共に、シリコンに対してドーパントとなる不純物がドーパされた金属膜を固相拡散源として用いることにより、低抵抗で浅い接合を形成することができる。

【0047】また、請求項2に記載の発明によれば、浅い接合で形成されたサリサイド構造のソース領域またはドレイン領域を備えることで、高性能なMOSトランジスタを得ることができる。また、LDD構造を備えることで、ホットキャリア耐性を高めたMOSトランジスタを得ることができる。そして、サイドウォールスペースを固相拡散源として低濃度のドレイン領域が形成される。さらに、シリサイド膜にはシリコンに対してドーパントとなる不純物がドーパされているため、その抵抗値は低くなり、ソース領域またはドレイン領域の寄生抵抗を低減することができる上に、ソース領域またはドレイン領域の浅い接合を形成することができる。

【0048】また、請求項3～6のいずれか1項に記載の発明によれば、シリコンに対してドーパントとなる不純物又は不純物領域からの不純物拡散を抑制するための不純物がドーパされた金属膜を形成することができる。また、請求項7～9のいずれか1項に記載の発明によれば、シリサイド膜の形成と拡散層の形成とを同時に行うことができる。また、拡散層の浅い接合を形成することができる。

【0049】また、請求項10に記載の発明によれば、サイドウォールスペースを金属膜と反応しない材質で形成した場合、サリサイド構造の形成とソース領域またはドレイン領域の形成とを同時に行うことができる。また、金属膜を固相拡散源として用いることで、ソース領域またはドレイン領域の浅い接合を形成することができる。そして、サリサイド構造によってソース領域またはドレイン領域の寄生抵抗を低減することができる。

【0050】また、請求項11に記載の発明によれば、サリサイド構造の形成とソース領域またはドレイン領域の形成とを同時に行うことができる。また、金属膜およびサイドウォールスペースを固相拡散源として用いることで、ソース領域またはドレイン領域の浅い接合を形成することができる。そして、サリサイド構造によってソース領域またはドレイン領域の寄生抵抗を低減することができる。その上、LDD構造を備えることで、ホットキャリア耐性を高めたMOSトランジスタを得ることができる。

【0051】また、請求項12～15のいずれか1項に記載の発明によれば、金属膜に既に不純物がドーパされているので、不純物領域から金属膜へ不純物が拡散しにくく、不純物領域の不純物濃度が低下しにくいので、コンタクト抵抗の低抵抗化が実現できる。特に、請求項1

10

20

30

40

50

3に記載の発明によれば、素子の微細化に伴って、素子分離端とコンタクトホールとの合わせ余裕が小さくなっている場合に、コンタクトホールの形成時に素子分離端もエッチングされ、不純物領域が形成されていないシリコン基板表面が露出しても、金属膜からこの部分に不純物を拡散させることによって、コンタクト抵抗の増加を阻止している。

【0052】また、請求項16に記載の発明によれば、ウェットエッチング法を用いることで、シリサイド化していない金属膜を簡単かつ確実に除去することができる。また、請求項17に記載の発明によれば、請求項4に記載の発明で用いられる合金ターゲットを得ることができる。

【0053】

【発明の実施の形態】

(第1実施形態)以下、本発明をSD (Single Drain) 構造のpチャネルMOSトランジスタの製造方法に具体化した第1実施形態を、図1及び図2に示すデバイスの断面模式図に従って説明する。

【0054】工程1(図1(a)参照):LOCOS法を用い、n形単結晶シリコン基板1上に素子分離領域2を形成する。次に、熱酸化法を用い、基板1上にシリコン酸化膜を形成する。続いて、CVD法を用い、シリコン酸化膜上にボロンをドーブしたドーブポリシリコン膜を形成する。そして、ドーブポリシリコン膜及びシリコン酸化膜を所望の形状にパターニングして、ゲート絶縁膜3(膜厚:3.5nm)及びゲート電極4(膜厚:70nm)を形成する。

【0055】工程2(図1(b)参照):モノシランと酸化窒素(N_2O)を原料ガスに用いたLPCVD (Low Pressure Chemical Vapor Deposition) 法により、上記の工程で形成されたデバイスの全面にシリコン酸化膜(膜厚:50nm)を形成する。次に、全面エッチバック法を用いてシリコン酸化膜をエッチバックし、ゲート電極4の側壁にサイドウォールスペーサ5を形成する。

【0056】工程3(図1(c)参照):等方性エッチングを用い、基板1表面に形成された自然酸化膜を除去する。次に、マグネトロンスパッタ法を用い、上記の工程で形成されたデバイスの全面にボロンをドーブしたチタン膜6(膜厚:30nm)を形成する。ここで、ボロンをドーブしたチタン膜(以下、ボロンドーブチタン膜という)6を形成するには、ターゲットとしてチタンに5wt%のボロンを添加して焼結法で製作した合金ターゲットを用いる。また、スパッタ条件は、基板加熱温度:300℃、スパッタリングパワー:3.6W、真空度:665mpa(5mTorr)である。

【0057】工程4(図2(a)参照):電気炉中での熱処理法またはRTA法を用い、処理温度:625℃で1回目の熱処理を行う。その結果、ボロンドーブチタン膜6と基板1、ボロンドーブチタン膜6とゲート電

極4とがそれぞれ接触している箇所に自己整合的にチタンシリサイド膜7が形成される。尚、電気炉中での熱処理法を用いた場合の処理時間は30分間程度、RTA法を用いた場合の処理時間は30秒程度である。このとき、ボロンドーブチタン膜6とサイドウォールスペーサ5とが接触している箇所には、チタンシリサイド膜7は形成されない。

【0058】ところで、1回目の熱処理温度は600~700℃が適当であり、この温度範囲より処理温度が高くなるとシリサイド化が進み過ぎて残渣が生じることから各チタンシリサイド膜7間にブリッジが発生する恐れがあり、処理温度が低くなるとチタンシリサイド膜7が形成されなくなる恐れがある。また、1回目の熱処理時間が上記よりも長い場合や短い場合にはそれぞれ、処理温度が高い場合や低い場合と同様な傾向がある。

【0059】次に、60℃程度に加熱した過酸化水素水とアンモニアと水の混合溶液(混合比は、 $H_2O_2:NH_4OH:H_2O=1:1:5$)を用いたウェットエッチング法により、シリサイド化していないボロンドーブチタン膜6を除去してチタンシリサイド膜7だけを残す。続いて、電気炉中での熱処理法またはRTA法を用い、処理温度:850℃で2回目の熱処理を行う。尚、2回目の熱処理時間は1回目の熱処理のそれと同じである。この2回目の熱処理により、チタンシリサイド膜7が表面に形成された基板1およびゲート電極4のシート抵抗は $5\Omega/\square$ 程度に低減される。それと同時に、チタンシリサイド膜7中のボロンが基板1中に拡散し、接合深さが40nm程度の高濃度の浅い接合領域(拡散層)8が形成される。尚、接合深さを測定するには、SIMS (Secondary Ion Mass Spectrometry) 法を用いればよい。

【0060】ところで、2回目の熱処理温度は750~900℃が適当であり、この温度範囲より処理温度が高くなると、チタンシリサイド膜7中からのボロンの拡散が多くなり過ぎて接合が深くなるという傾向があり、処理温度が低くなると、チタンシリサイド膜7中からのボロンの拡散が少なくなると接合が浅くなり過ぎたり、pn接合が形成されなくなるという傾向がある。また、2回目の熱処理時間が上記よりも長い場合や短い場合にはそれぞれ、処理温度が高い場合や低い場合と同様な傾向がある。

【0061】工程5(図2(b)参照):上記の工程で形成されたデバイスの全面に層間絶縁膜9を形成する。次に、異方性エッチングを用い、層間絶縁膜9にチタンシリサイド膜7とコンタクトするコンタクトホール10を形成する。続いて、スパッタ法を用い、コンタクトホール10内に金属材料を充填して配線層11を形成する。その結果、高濃度の浅い接合領域8から成るソース・ドレイン領域を備えたSD構造のpチャネルMOSトランジスタ12の製造工程が完了する。

15

【0062】MOSトランジスタ12では、ソース・ドレイン領域（高濃度の浅い接合領域8）及びゲート電極4の上に自己整合的にチタンシリサイド膜7が形成されているため、ソース・ドレイン領域の寄生抵抗とゲート電極4の配線抵抗とが同時に低減される。また、MOSトランジスタ12では、接合深さが40nm程度の高濃度の浅い接合領域8でソース・ドレイン領域が構成されるため、ソース・ドレイン領域の浅い接合を形成することができる。

【0063】前記した従来のサリサイド法では、チタン膜78と基板71とのシリサイド化反応と、高濃度領域77中のボロンの拡散とが独立して進行する。そのため、高濃度領域77の接合界面（以下、接合界面Aという）と、チタンシリサイド膜79と基板71との接合界面（以下、接合界面Bという）との距離を一定に保つことが難しい。従って、MOSトランジスタ84に逆バイアスを印加すると、各接合界面A、Bの距離が短い箇所においてチタン原子が空乏層中に取り込まれる。その結果、接合リーク電流の増大や、ドレイン電圧-ドレイン電流（ $V_{ds}-I_{ds}$ ）特性の立ち上がり不良という問題が生じる。

【0064】それに対して、本実施例では、ボロンドープドチタン膜6中にボロン原子が存在することから、ボロンドープドチタン膜6を固相拡散源としてボロンが基板1中に拡散してゆく。そのため、高濃度の浅い接合領域8（ソース・ドレイン領域）の接合界面と、チタンシリサイド膜7と基板1との接合界面との距離を一定に保つことができる。従って、MOSトランジスタ12に逆バイアスを印加しても、チタン原子は空乏層中に取り込まれ難い。その結果、接合リーク電流は抑制され、ドレイン電圧-ドレイン電流特性の立ち上がりは良好になる。

【0065】ちなみに、MOSトランジスタ12において、逆バイアスにおける接合リーク電流を実測したところ $1 \times 10^{-3} \text{ A/cm}^2$ と極めて低いオーダーに納まっていることがわかった。このように、本実施形態においては、ソース・ドレイン領域（高濃度の浅い接合領域8）の表面に自己整合的にチタンシリサイド膜7が形成されたサリサイド法（サリサイド構造）と、基板1への固相拡散源としてボロンドープドチタン膜6を用いる方法とが併用されている。

【0066】従って、本実施形態によれば、ソース・ドレイン領域（高濃度の浅い接合領域8）の寄生抵抗とゲート電極4の配線抵抗とを同時に低減した上で、ソース・ドレイン領域の浅い接合を形成することができる。また、本実施形態の製造方法は簡単かつ容易であり、高いスループットを得ることができる。ところで、本実施形態によれば、コンタクトホール10において、ボロンがドーパされたチタンシリサイド膜7を介して配線層11と高濃度の浅い接合領域8とのコンタクトがとられてい

16

る。従って、配線層11と高濃度の浅い接合領域8との良好なコンタクトを得ることができる。つまり、ボロンがドーパされることによって低抵抗化されたチタンシリサイド膜7は、多層配線における優秀なバリアメタルとして機能する。

【0067】（第2実施形態）以下、本発明をLDD構造のpチャネルMOSトランジスタの製造方法に具体化した第2実施形態を、図3及び図4に示すデバイスの断面模式図に従って説明する。尚、本実施形態において、第1実施形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0068】工程1（図3（a）参照）：第1実施形態の工程1と同じである。

工程2（図3（b）参照）：モノシランと酸化窒素（ N_2O ）とTMB（Trimethylboron）を原料ガスに用いたLPCVD法により、上記の工程で形成されたデバイスの全面にボロン濃度： $4 \times 10^{21} \text{ cm}^{-3}$ のBSG膜（膜厚：100nm）を形成する。次に、全面エッチバック法を用いてBSG膜をエッチバックし、ゲート電極4の側壁にサイドウォールスペーサ21を形成する。

【0069】続いて、RTA法を用い、処理時間：3秒、処理温度：1000℃で1回目の熱処理を行う。その結果、サイドウォールスペーサ21中のボロンが基板71中に拡散し、接合深さが40nm程度の低濃度の浅い接合領域（拡散層）22が形成される。ところで、1回目の熱処理温度は900～1100℃が適当であり、この温度範囲より処理温度が高くなると、サイドウォールスペーサ21中からのボロンの拡散が多くなり過ぎて接合が深くなるという傾向があり、処理温度が低くなると、サイドウォールスペーサ21中からのボロンの拡散が少なくなると接合が浅くなり過ぎたり、pn接合が形成されなくなるという傾向がある。また、1回目の熱処理時間が上記よりも長い場合や短い場合にはそれぞれ、処理温度が高い場合や低い場合と同様な傾向がある。

【0070】工程3（図3（c）参照）：第1実施形態の工程3と同じである。

工程4（図4（a）参照）：第1実施形態の工程4と同じである。尚、3回目（第1実施形態の工程4においては2回目）の熱処理において、高濃度の浅い接合領域8が形成されるのと同時に、低濃度の浅い接合領域22中のボロンが活性化される。

【0071】工程5（図4（b）参照）：第1実施形態の工程5と同じである。その結果、低濃度の浅い接合領域22と高濃度の浅い接合領域8とから成るソース・ドレイン領域23を備えたLDD構造のpチャネルMOSトランジスタ24の製造工程が完了する。MOSトランジスタ24では、ソース・ドレイン領域23およびゲート電極4の上にチタンシリサイド膜7が形成されているため、ソース・ドレイン領域22の寄生抵抗とゲート電極4の配線抵抗とが同時に低減される。

17

【0072】また、MOSTランジスタ24では、各接合領域8、22の接合深さが共に40nm程度と浅いため、ソース・ドレイン領域23の浅い接合を形成することができる。ちなみに、MOSTランジスタ24において、逆バイアスにおける接合リーク電流を実測したところ、MOSTランジスタ12と同様に、 $1 \times 10^{-9} \text{ A/cm}^2$ と極めて低いオーダーに納まっていることがわかった。

【0073】このように、本実施形態においては、ソース・ドレイン領域23（詳しくは、高濃度の浅い接合領域8）の表面に自己整合的にチタンシリサイド膜7が形成されたサリサイド法（サリサイド構造）と、基板1への固相拡散源としてポロンドープドチタン膜6を用いる方法と、基板1への固相拡散源としてドーパドオキシサイド（BSG膜、サイドウォールスペーサ21）を用いる方法とが併用されている。

【0074】従って、本実施形態によれば、第1実施形態と同様の作用および効果を得ることができる。加えて、本実施形態によれば、LDD構造を実現することができる。つまり、BSG膜（サイドウォールスペーサ21）のボロン濃度や、サイドウォールスペーサ21の幅を調整することで、低濃度の浅い接合領域22の特性を調節することができ、MOSTランジスタ24のホットキャリア耐性を向上させることや寄生容量を小さくすることができる。

【0075】（第3実施形態）以下、本発明をSD構造のCMOSTランジスタの製造方法に具体化した第3実施形態を、図5及び図6に示すデバイスの断面模式図に従って説明する。尚、本実施形態において、第1及び第2実施形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0076】CMOSTランジスタは、同一基板1上に形成されたSD構造のpチャネルMOSTランジスタ12とSD構造のnチャネルMOSTランジスタ31とから構成される。

工程1（図5（a）参照）：LOCOS法を用い、p形単結晶シリコン基板1上に素子分離領域2を形成する。次に、基板1上においてnチャネルMOSTランジスタ12が形成される領域αにnウェル40を形成する。続いて、熱酸化法を用い、基板1上にシリコン酸化膜を形成する。

【0077】次に、CVD法を用い、基板1上においてpチャネルMOSTランジスタ12が形成される領域βのシリコン酸化膜上にボロンがドーパされたドーパドポリシリコン膜を形成する。また、CVD法を用い、領域βのシリコン酸化膜上にリンがドーパされたドーパドポリシリコン膜及びシリコン酸化膜を所望の形状にパターニングして、ゲート絶縁膜3、nチャネルMOSTランジスタ31のゲート電極32、pチャネルMOSTランジスタ

18

12のゲート電極4を形成する。

【0078】工程2（図5（b）参照）：モノシランと酸化窒素を原料ガスに用いたLPCVD法により、上記の工程で形成されたデバイスの全面にシリコン酸化膜33（膜厚：50nm）を形成する。次に、領域α上のシリコン酸化膜33をレジストマスク（図示略）で覆う。そして、領域βだけに対して、全面エッチバック法を用いてシリコン酸化膜33をエッチバックし、ゲート電極32の側壁にサイドウォールスペーサ34を形成する。このとき、領域α上のシリコン酸化膜33はレジストマスクで覆われているため、そのまま残る。

【0079】工程3（図5（c）参照）：等方性エッチングを用い、領域βに対応する基板1表面に形成された自然酸化膜を除去する。次に、マグネトロンスパッタ法を用い、上記の工程で形成されたデバイスの全面にリンをドーパしたチタン膜35（膜厚：30nm）（以下、リンドーパドチタン膜35という）を形成する。ここで、リンドーパドチタン膜35の形成方法には、ポロンドープドチタン膜6の形成方法において、ボロンをリンに置き代えるだけで、その他の条件は同じである。

【0080】工程4（図6（a）参照）：電気炉中での熱処理法またはRTA法を用い、処理温度：625℃で1回目の熱処理を行う。その結果、リンドーパドチタン膜35と基板1、リンドーパドチタン膜35とゲート電極32とがそれぞれ接触している箇所に自己整合的にチタンシリサイド膜36が形成される。尚、電気炉中での熱処理法を用いた場合の処理時間は30分間程度、RTA法を用いた場合の処理時間は30秒程度である。このとき、リンドーパドチタン膜35とサイドウォールスペーサ34とが接触している箇所には、チタンシリサイド膜36は形成されない。また、領域α上にはシリコン酸化膜33が形成されているため、チタンシリサイド膜36は形成されない。

【0081】次に、60℃程度に加熱した過酸化水素水とアンモニアと水の混合溶液（混合比は、 $\text{H}_2\text{O}_2 : \text{NH}_4\text{OH} : \text{H}_2\text{O} = 1 : 1 : 5$ ）を用いたウェットエッチング法により、シリサイド化していないリンドーパドチタン膜35を除去してチタンシリサイド膜36だけを残す。続いて、電気炉中での熱処理法またはRTA法を用い、処理温度：850℃で2回目の熱処理を行う。尚、2回目の熱処理時間は1回目の熱処理のそれと同じである。この2回目の熱処理により、チタンシリサイド膜36が表面に形成された基板1およびゲート電極32のシート抵抗は $5 \Omega/\square$ 程度に低減される。それと同時に、チタンシリサイド膜36中のリンが基板1中に拡散し、接合深さが30nm程度の高濃度の浅い接合領域（拡散層）37が形成される。

【0082】次に、上記の工程で形成されたデバイスの全面にシリコン酸化膜38を形成する。

工程5（図6（b）参照）：領域β上のシリコン酸化膜

10

20

30

40

50

38をレジストマスク(図示略)で覆う。そして、領域αだけに対して、全面エッチバック法を用いてシリコン酸化膜33をエッチバックし、ゲート電極4の側壁にサイドウォールスペーサ5を形成する。その後、第1実施形態と同様にして、ボロンをドーブしたチタンシリサイド膜7及び高濃度の浅い接合領域8を形成する。

【0083】工程6(図6(c)参照):上記の工程で形成されたデバイスの全面に層間絶縁膜9を形成する。次に、異方性エッチングを用い、層間絶縁膜9にチタンシリサイド膜7、36とコンタクトするコンタクトホールを形成する。続いて、スパッタ法を用い、コンタクトホール内に金属材料を充填して配線層11を形成する。その結果、高濃度の浅い接合領域8から成るソース・ドレイン領域を備えたSD構造のpチャネルMOSトランジスタ12、及び高濃度の浅い接合領域37から成るソース・ドレイン領域を備えたSD構造のnチャネルMOSトランジスタ31の製造工程が完了する。

【0084】MOSトランジスタ31では、ソース・ドレイン領域(高濃度の浅い接合領域37)及びゲート電極32の上にチタンシリサイド膜36が形成されているため、ソース・ドレイン領域の寄生抵抗とゲート電極32の配線抵抗とが同時に低減される。また、MOSトランジスタ31では、接合深さが30nm程度の高濃度の浅い接合領域37でソース・ドレイン領域が構成されるため、ソース・ドレイン領域の浅い接合を形成することができる。

【0085】本実施形態では、リンドーブドチタン膜35中にリン原子が存在することから、リンドーブドチタン膜35を固相拡散源としてリンが基板1中に拡散してゆく。そのため、高濃度の浅い接合領域37(ソース・ドレイン領域)の接合界面と、チタンシリサイド膜36と基板1との接合界面との距離を一定に保つことができる。従って、MOSトランジスタ31に逆バイアスを印加しても、チタン原子は空乏層中に取り込まれ難い。その結果、接合リーク電流は抑制され、ドレイン電圧ードレイン電流特性の立ち上がりは良好になる。

【0086】ちなみに、MOSトランジスタ31において、逆バイアスにおける接合リーク電流を実測したところ、MOSトランジスタ12と同様、 $1 \times 10^{-9} \text{ A/cm}^2$ と極めて低いオーダーに納まっていることがわかった。このように、本実施形態においては、ソース・ドレイン領域(高濃度の浅い接合領域8、37)の表面に自己整合的にチタンシリサイド膜7、36が形成されたサリサイド法(サリサイド構造)と、基板1への固相拡散源としてボロンドープドチタン膜6を用いる方法と、基板1への固相拡散源としてリンドーブドチタン膜35を用いる方法とが併用されている。

【0087】ところで、本実施形態によれば、リンがドーブされたチタンシリサイド膜36を介して配線層11と高濃度の浅い接合領域37とのコンタクトがとられて

いる。従って、配線層11と高濃度の浅い接合領域37との良好なコンタクトを得ることができる。つまり、リンがドーブされることによって低抵抗化されたチタンシリサイド膜36は、多層配線における優秀なバリアメタルとして機能する。

【0088】(第4実施形態)以下、本発明をLDD構造のpチャネルMOSトランジスタに金属配線を接続するプロセスを具体化した第4実施形態を、図7に示すデバイスの断面模式図に従って説明する。尚、本実施形態において、図12に示した従来技術と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0089】工程1(図7(a)参照):図12と同じ手法で、pチャネルMOSトランジスタを形成する。ゲート酸化膜73の膜厚は15nm、ゲート電極74の膜厚は100nmである。

工程2(図7(b)参照):上記の工程で形成されたデバイスの全面に、通常のCVD法を用いてHTO膜やBPSG膜などの層間絶縁膜101を形成する。

【0090】工程3(図7(c)参照):フォトリソグラフィ技術及びドライエッチング技術を用いて、前記層間絶縁膜74に、前記ソース・ドレイン領域83及びゲート電極74に通じるコンタクトホール102~104をそれぞれ形成する。

工程4(図7(d)参照):希フッ酸($\text{HF}:\text{H}_2\text{O}=1:100$)を用いたウェットエッチング法(時間30~60秒)又はアルゴンイオン(Ar^+)を用いたスパッタエッチング法により、コンタクトホール102~104底部の自然酸化膜を除去した後、マグネトロンスパッタ法を用い、上記の工程で形成されたデバイスの全面にボロンをドーブしたチタン膜(以下、ボロンドープドチタン膜という)50(膜厚:30nm)を形成する。

【0091】ここで、ボロンドープドチタン膜50を形成するには、ターゲットとしてチタンに5wt%のボロンを添加して焼結法で製作した合金ターゲットを用いる。また、スパッタ条件は、基板加熱温度:300℃、スパッタリングパワー:3.6W、真空度:665mpa(5mTorr)である。尚、このボロンドープドチタン膜50の膜厚は、10~150nmの範囲が適しており、その中でも、製造コストを下げるため、また、安定したコンタクト抵抗を得るために、20~60nmの範囲がもっとも望ましい。

【0092】工程5(図7(e)参照):ボロンドープドチタン膜50の上に、マグネトロンスパッタ法を用いて、TiN膜106を形成する。更にその上に、アルミ合金膜107を形成し、フォトリソグラフィ技術及びドライエッチング技術により、これらの金属膜を所定形状に加工する。こうして、pチャネルMOSトランジスタとAl配線との接続を完了させる。

【0093】本第4実施形態にあつては、ボロンドープドチタン膜50形成後に、意図的な熱処理は行っていない

21

いが、後のプロセスで、最高温度450℃程度の熱履歴を受ける。図12に示した従来例では、この熱履歴により、コンタクト底部のSi基板表面に存在するB原子がTi又はTiSi₂膜中に拡散するため、コンタクト底部のB濃度が低下して、直径0.5μmのコンタクトホールにおけるp⁺に対するコンタクト抵抗の値が、約100Ωとなる。

【0094】一方、本第4実施形態にあっては、ポロンドープドチタン膜50自身がもともとB原子を含んでおり、Si基板からポロンドープドチタン膜50へB原子が拡散することが抑制されるので、コンタクト底部のB濃度が低下しにくく、直径0.5μmのコンタクトホールにおけるp⁺に対するコンタクト抵抗の値は、約5~10Ωと低くなる。尚、直径0.5μmのコンタクトホールにおけるn⁺に対するコンタクト抵抗は、約20~50Ωという値が得られた。

【0095】(第5実施形態)以下、本発明をLDD構造のpチャネルMOSトランジスタに金属配線を接続するプロセスを具体化した第5実施形態を、図8に示すデバイスの断面模式図に従って説明する。尚、本実施形態において、第4実施形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0096】工程1(図8(a)参照):第4実施形態の工程1と同様。

工程2(図8(b)参照):第4実施形態の工程2と同様。

工程3(図8(c)参照):フォトリソグラフィ技術及びドライエッチング技術を用いて、前記層間絶縁膜101に、前記ソース・ドレイン領域83及びゲート電極74に通じるコンタクトホール102~104をそれぞれ形成する。

【0097】この時、素子の微細化に伴って、素子分離端とコンタクトホールとの合わせ余裕が小さくなっている場合には、素子分離端もエッチングされ、ソース・ドレイン領域83が形成されていないSi基板71の表面Sが露出する。

工程4(図8(d)参照):第4実施形態の工程4と同様。

工程5(図8(e)参照):RTA法を用い、窒素(N₂)雰囲気中、処理温度:900℃で30秒間の熱処理を行う。その結果、ポロンドープドチタン膜50と基板1とが接触している箇所がシリサイド化すると同時に、ポロンドープドチタン膜50中のボロンが基板1中に拡散し、接合深さが40nm程度の高濃度の浅い接合領域(拡散層)51が形成される。尚、接合深さを測定するには、SIMS法を用いればよい。

【0098】ところで、RTAによる熱処理温度は800~1000℃が適当であり、この範囲の中でも、850~950℃にすることにより、特に良好な接合統制を得ることができると共に、接合領域51の深さも深くな

22

りすぎず、最適な値となる。尚、熱処理としては、RTA以外にも、電気炉を用いた熱アニールでもよく、例えば、窒素雰囲気中、処理温度:850℃で30分間の熱処理を行えばよい。

【0099】工程5(図8(e)参照):ポロンドープドチタン膜50の上に、マグネトロンスパッタ法を用いて、TiN膜106を形成する。更にその上に、アルミ合金膜107を形成し、フォトリソグラフィ技術及びドライエッチング技術により、これらの金属膜を所定形状に加工する。こうして、pチャネルMOSトランジスタとA1配線との接続を完了させる。

【0100】本第5実施形態にあっては、第4実施形態と同様、直径0.5μmのコンタクトホールにおけるp⁺に対するコンタクト抵抗の値は、約5~10Ωと低くなる。尚、直径0.5μmのコンタクトホールにおけるn⁺に対するコンタクト抵抗は、約20~50Ωという値が得られた。また、逆方向の接合リーク電流を測定したところ、 1×10^{-9} A/cm²のオーダーであり、特に問題となるような値ではなかった。

【0101】(第6実施形態)以下、本発明を、SD構造のCMOSトランジスタの製造方法を例として、第4実施形態や第5実施形態に対し、n⁺に対するコンタクト抵抗をより低下させる方法を具体化した第6実施形態を、図9に示すデバイスの断面模式図に従って説明する。尚、本実施形態において、第4及び第5実施形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0102】CMOSトランジスタは、同一基板71上に形成されたSD構造のpチャネルMOSトランジスタ52とSD構造のnチャネルMOSトランジスタ53とから構成される。

工程1(図9(a)参照):LOCOS法を用い、p形単結晶シリコン基板71上に素子分離領域72を形成した後、pチャネルMOSトランジスタ52及びnチャネルMOSトランジスタ53を形成する。尚、nチャネルMOSトランジスタ53は図示しないがnウェルなどに形成する。また、各トランジスタのゲート電極74にはサイドウォール76が形成してある。

【0103】工程2(図9(b)参照):SiH₄とN₂Oとの混合ガスを用いたLPCVD法により、上記の工程で形成されたデバイスの全面にシリコン酸化膜54(膜厚:50nm)を形成する。次に、リソグラフィ技術を用いて、pチャネルMOSトランジスタ52のソース・ドレイン領域(図示略)に通じるコンタクトホール55、55を形成する。

【0104】工程3(図9(c)参照):等方性エッチングを用い、コンタクトホール55、55底部に形成された自然酸化膜を除去する。次に、マグネトロンスパッタ法を用い、上記の工程で形成されたデバイスの全面にポロンドープドチタン膜50(膜厚:30nm)を形成

する。ここで、ボロンドープドチタン膜50の形成方法は、既に述べたものと同様である。

【0105】更に、電気炉中での熱処理法またはRTA法を用い、処理温度：900℃で熱処理を行う。その結果、ボロンドープドチタン膜50と基板1とが接触している箇所に自己整合的にチタンシリサイド膜56が形成される。尚、電気炉中での熱処理法を用いた場合の処理時間は30分間程度、RTA法を用いた場合の処理時間は30秒程度である。このとき、シリコン酸化膜54上には、チタンシリサイド膜56は形成されない。

【0106】工程4(図9(d)参照)：60℃程度に加熱した過酸化水素水とアンモニアと水の混合溶液(混合比は、 $H_2O_2 : NH_4OH : H_2O = 1 : 1 : 5$)を用いたウェットエッチング法により、シリサイド化していないボロンドープドチタン膜50を除去してチタンシリサイド膜56だけを残す。

工程5(図9(e)参照)：リソグラフィ技術を用いてnチャネルMOSトランジスタ53のソース・ドレイン領域(図示略)に通じるコンタクトホールを形成する。

【0107】そして、マグネトロンスパッタ法を用い、上記の工程で形成されたデバイスの全面にリンをドーブしたチタン膜(以下、リンドープドチタン膜という)57(膜厚：30nm)を形成する。ここで、リンドープドチタン膜57を形成するには、ボロンドープドチタン膜を形成するのと全く同様の方法でよく、ボロンに代えてリンを使用するだけでよい。

【0108】続いて、リンドープドチタン膜57の上に、マグネトロンスパッタ法を用いて、TiN膜106を形成する。更にその上に、アルミ合金膜107を形成する。

工程6(図9(f)参照)：最後に、フォトリソグラフィ技術及びドライエッチング技術により、これらの金属膜を所定形状に加工する。本第6実施形態にあっては、直径0.5μmのコンタクトホールにおけるp⁺に対するコンタクト抵抗の値は、約10~30Ω、直径0.5μmのコンタクトホールにおけるn⁺に対するコンタクト抵抗の値は、約5~10Ωと低い値が得られ、CMOSプロセス上問題の無い値である。また、接合リーク特性についても、第5実施例と同様、問題のない値を得ることができる。

【0109】尚、上記各実施形態は以下のように変更してもよく、その場合でも同様の作用および効果を得ることができる。

(1) チタン膜6, 35, 50, 57を他の金属膜(プラチナ膜、コバルト膜、等)に置き代える。これによって、チタンシリサイド膜7, 36, 56を他のシリサイド膜(プラチナシリサイド膜、コバルトシリサイド膜、等)に置き代えることもできる。その場合、上記の各金属シリサイド膜を形成するには、当該金属膜を形成後に電気炉中での熱処理法またはRTA法を用い、以下の条

件で1回目の熱処理を行う。プラチナシリサイド膜(処理温度：550~650℃、電気炉中での処理時間：30分間程度、RTA法の処理時間：60秒程度)、コバルトシリサイド膜(処理温度：600~700℃、電気炉中での処理時間：30分間程度、RTA法の処理時間：60秒程度)。

【0110】1回目の熱処理において、上記の温度範囲より処理温度が高くなるとシリサイド化が進み過ぎて残渣が生じることからブリッジが発生する恐れがあり、処理温度が低くなると金属シリサイド膜の抵抗値が高くなる恐れがある。また、1回目の熱処理時間が上記よりも長い場合や短い場合にはそれぞれ、処理温度が高い場合や低い場合と同様な傾向がある。

【0111】また、上記の各金属シリサイド膜をウェットエッチングするためのエッチング液としては、以下のものがある。プラチナシリサイド膜(80℃程度に加熱した硝酸と塩酸と水の混合溶液(混合比は、 $HNO_3 : HCl : H_2O = 1 : 1 : 5$))、コバルトシリサイド膜(60℃程度に加熱した塩酸と過酸化水素水と水の混合溶液(混合比は、 $HCl : H_2O_2 : H_2O = 1 : 1 : 5$))。

【0112】そして、上記の各金属シリサイド膜を低抵抗化するために、以下の処理温度で2回目の熱処理を行う。プラチナシリサイド膜(処理温度：800~900℃)、コバルトシリサイド膜(処理温度：800~900℃)。尚、熱処理時間については、1回目の熱処理のそれと同じである。2回目の熱処理において、上記の温度範囲より処理温度が高くなると、不純物の拡散が多くなり過ぎて接合の深さが大きくなるという傾向があり、処理温度が低くなると不純物の拡散が少なくなって接合が浅くなり過ぎたり、pn接合が形成されなくなるという傾向がある。また、2回目の熱処理時間が上記よりも長い場合や短い場合にはそれぞれ、処理温度が高い場合や低い場合と同様な傾向がある。

【0113】尚、1回目の熱処理によって金属シリサイド膜が十分に低抵抗化されている場合、2回目の熱処理は省いてもよい。

(2) 第3実施形態及び第6実施形態において、リンをドーブしたチタン膜35, 57をヒ素をドーブしたチタン膜に置き代える。ヒ素をドーブしたチタン膜の形成方法は、ボロンドープドチタン膜6の形成方法において、ボロンをヒ素に置き代えるだけで、その他の条件は同じである。

【0114】(3) マグネトロンスパッタ法を用いて不純物がドーブされた金属膜(チタン膜6, 35, 50, 57)を形成する場合、合金ターゲットを用いず、金属単体のターゲットと不純物単体のターゲットとをマグネトロンスパッタ装置内に並べて配置する。

(4) 不純物がドーブされた金属膜(チタン膜6, 35, 50, 57)の形成方法にCVD法を用いる。

10

20

30

40

50

【0115】その場合、チタン膜を形成するには、原料ガスとして、塩化チタン($TiCl_4$)、TDMAT(Tetrakis-Dimethylamido-Titanium)、TDEAT(Tetrakis-Diethylamino-Titanium)などを用いる。プラチナ膜を形成するには、原料ガスとして、Cyclopentadienyl allyl Platinum などを用いる。コバルト膜を形成するには、原料ガスとして、Bis-methylcyclopentadienyl Cobalt などを用いる。

【0116】そして、上記した金属膜の原料ガスに、TMB、TMP(Trimethylphosphine)、ジボラン、ホスフィン、アルシン、三フッ化ボロン(BF_3)などの不純物を含んだガスを添加することで、不純物がドーパされた金属膜を形成する。

(5)第2実施形態において、サイドウォールスペース21を形成するためのBSG膜をPSG膜またはAsSG膜に置き代える。そして、ボロンドープドチタン膜6、チタンシリサイド膜7、高濃度の浅い接合領域8をそれぞれ、リンドープドチタン膜35、チタンシリサイド膜36、高濃度の浅い接合領域37に置き代えてLDD構造のnチャネルMOSトランジスタを形成する。

【0117】(6)第2実施形態及び上記(5)と第3実施形態とを併用し、LDD構造のCMOSトランジスタを製造する。

(7)不純物がドーパされた金属膜(チタン膜6、35、50、57)を形成する際に、マグネトロンスパッタ法以外のスパッタ法(同時スパッタ、バイアススパッタ、等)または真空蒸着法、イオンプレーティング法、イオンビームデポジション法、クラスタイオンビーム法などを含む広義のPVD(Physical Vapor Deposition)法を用いる。

【0118】(8)単結晶シリコン基板1、71を単結晶シリコン膜、ポリシリコン膜、アモルファスシリコン膜に置き換え、薄膜トランジスタを形成する。

(9)ゲート絶縁膜3を、シリコン酸化膜以外の適宜な絶縁膜(シリコン窒化膜、等)やそれらの積層膜によって形成する。

(10)サイドウォールスペース5、34、76を、チタン膜6、35と反応しない適宜な材質(シリコン窒化膜、等)によって形成する。チタン膜6、35、50、57を他の金属膜に置き代えた場合には、その金属膜と反応しない材質でサイドウォールスペース5、34、76を形成する。

【0119】(11)上記(1)～(10)をそれぞれ組み合わせて実施する。

以上、各実施形態について説明したが、各実施形態から把握できる請求項以外の技術的思想について、以下にそれらの効果と共に記載する。

(イ)請求項7～11のいずれか1項に記載の半導体装置の製造方法において、前記熱処理の後に、前記熱処理より高温で再度熱処理を行う半導体装置の製造方法。

【0120】このようにすれば、シリサイド膜をさらに低抵抗化することができる。

(ロ)請求項7～11のいずれか1項に記載の半導体装置の製造方法において、前記の工程で形成されたデバイスの全面に層間絶縁膜を形成する工程と、その層間絶縁膜に前記シリサイド膜とコンタクトするためのコンタクトホールを形成する工程と、そのコンタクトホール内に導電材料を充填して配線層を形成する工程とを備えた半導体装置の製造方法。

【0121】このようにすれば、コンタクト抵抗の低いシリサイド膜と配線層とのコンタクトを実現することができる。ところで、本明細書において、発明の構成に係る部材は以下のように定義されるものとする。

(a)シリコン層とは、単結晶シリコン基板だけでなく、ウェル、単結晶シリコン膜、ポリシリコン膜、アモルファスシリコン膜をも含むものとする。

【0122】(b)PVD法とは、同時スパッタ法、バイアススパッタ法、マグネトロンスパッタ法などのスパッタ法だけでなく、真空蒸着法、イオンプレーティング法、イオンビームデポジション法、クラスタイオンビーム法などをも含むものとする。

【0123】

【発明の効果】

1)低抵抗で且つ浅い接合を備えた半導体装置およびその製造方法を提供することができる。

2)高性能なトランジスタを備えた半導体装置およびその製造方法を提供することができる。

【0124】3)不純物がドーパされた金属膜を備えた半導体装置およびその製造方法を提供することができる。

4)上記1)または2)の半導体装置の製造方法で用いるターゲットを提供することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態の製造方法を説明するための断面模式図である。

【図2】本発明の第1実施形態の製造方法を説明するための断面模式図である。

【図3】本発明の第2実施形態の製造方法を説明するための断面模式図である。

【図4】本発明の第2実施形態の製造方法を説明するための断面模式図である。

【図5】本発明の第3実施形態の製造方法を説明するための断面模式図である。

【図6】本発明の第3実施形態の製造方法を説明するための断面模式図である。

【図7】本発明の第4実施形態の製造方法を説明するための断面模式図である。

【図8】本発明の第5実施形態の製造方法を説明するための断面模式図である。

【図9】本発明の第6実施形態の製造方法を説明するた

27

めの断面模式図である。

【図10】従来例の製造方法を説明するための断面模式図である。

【図11】従来例の製造方法を説明するための断面模式図である。

【図12】従来例の製造方法を説明するための断面模式図である。

【図13】従来例の製造方法を説明するための断面模式図である。

【図14】従来例の製造方法を説明するための断面模式図である。

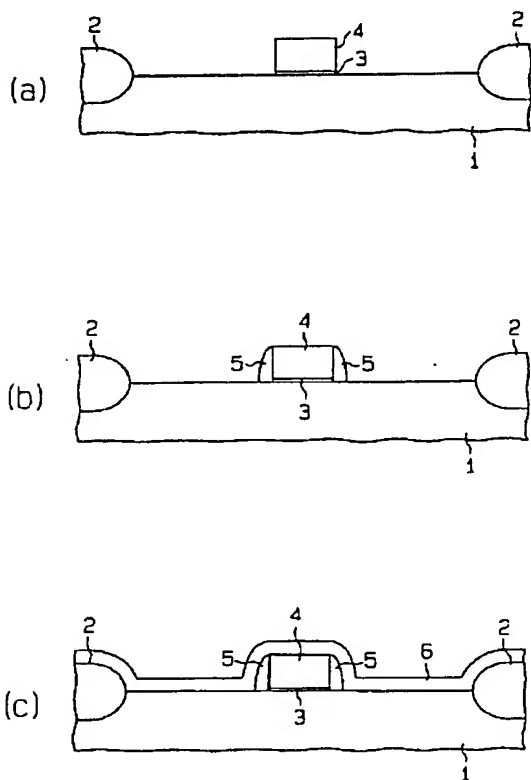
【図15】従来例の製造方法を説明するための断面模式図である。

28

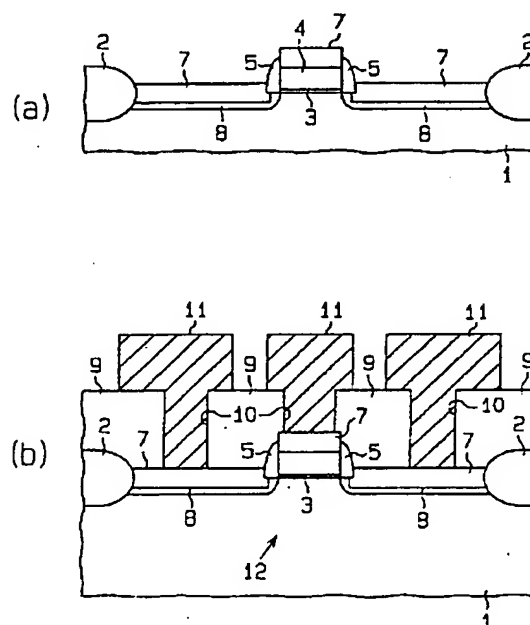
【符号の説明】

- 1, 71 n形単結晶シリコン基板
 3, 73 ゲート絶縁膜
 4, 32, 74 ゲート電極
 5, 34 サイドウォールスペーサ
 6, , 35 50, 57 チタン膜
 7, 36, 56 チタンシリサイド膜
 8, 37 高濃度の浅い接合領域
 9 層間絶縁膜
 10, 102, 104 コンタクトホール
 11 配線層
 22 低濃度の浅い接合領域
 23 ソース・ドレイン領域

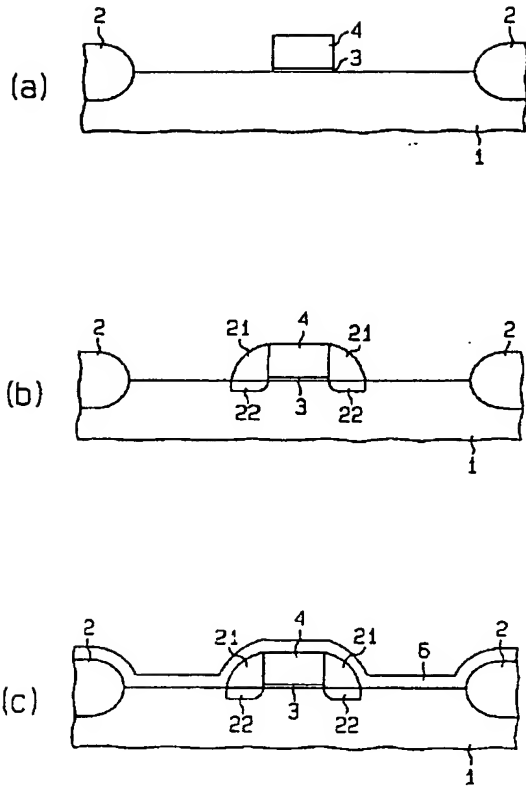
【図1】



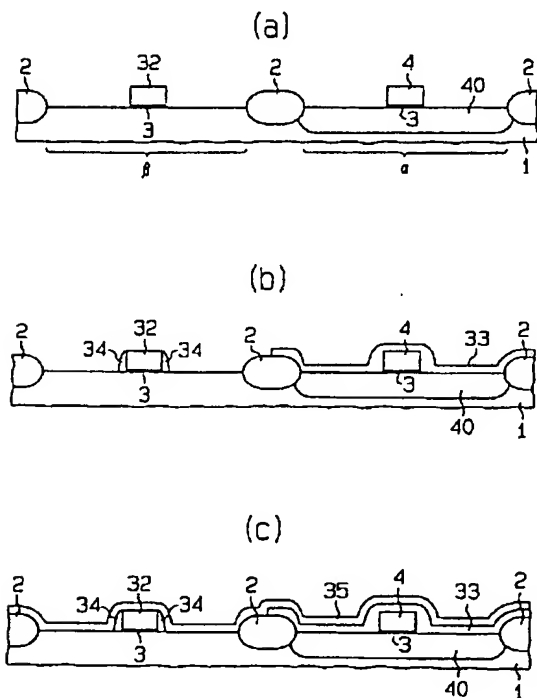
【図2】



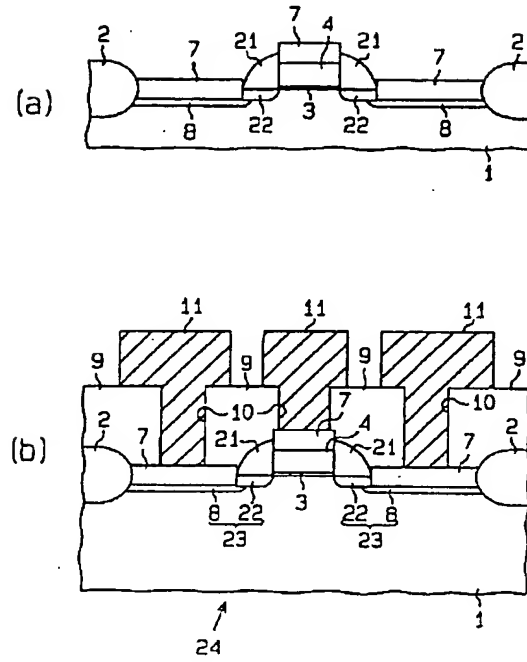
【図3】



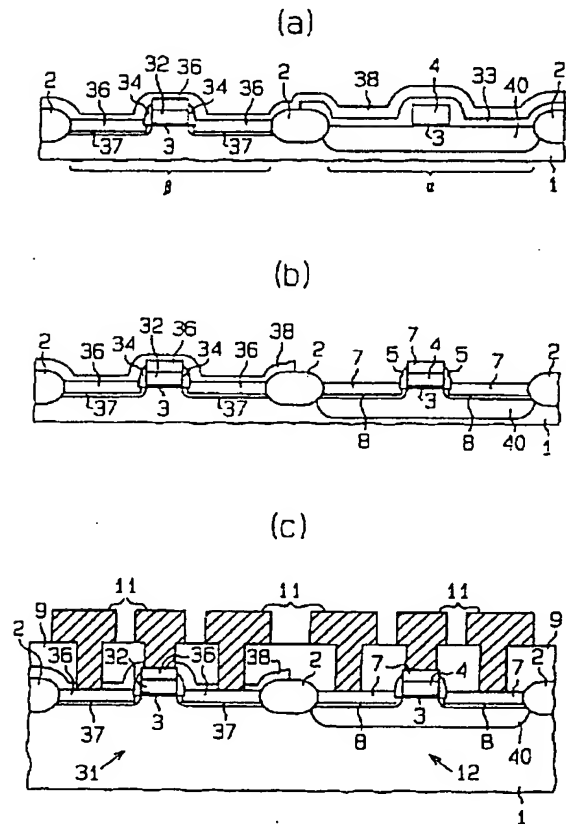
【図5】



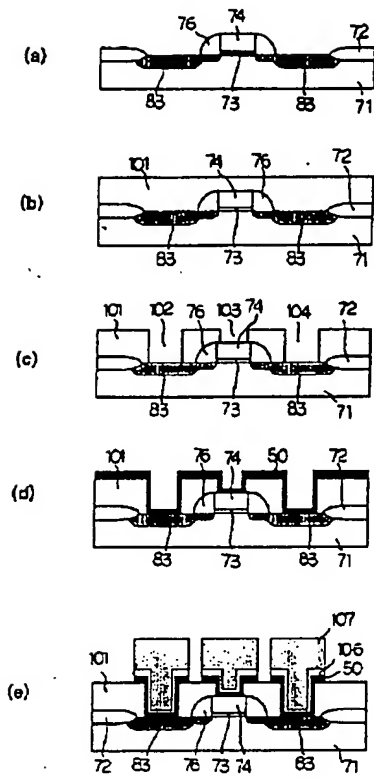
【図4】



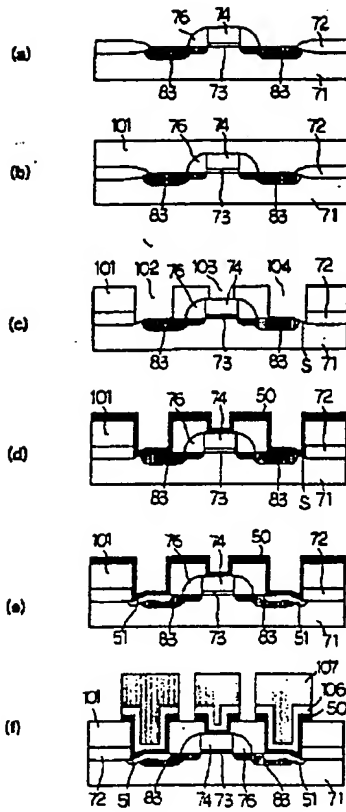
【図6】



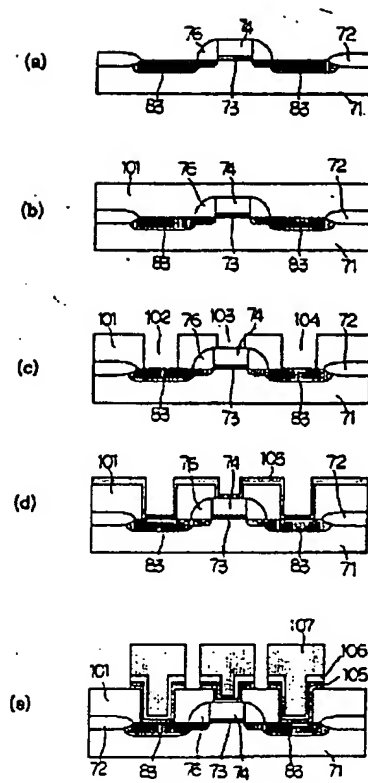
【図7】



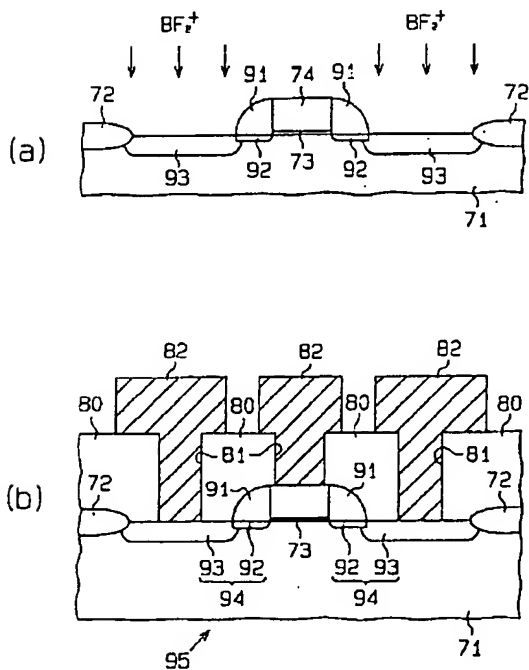
【図8】



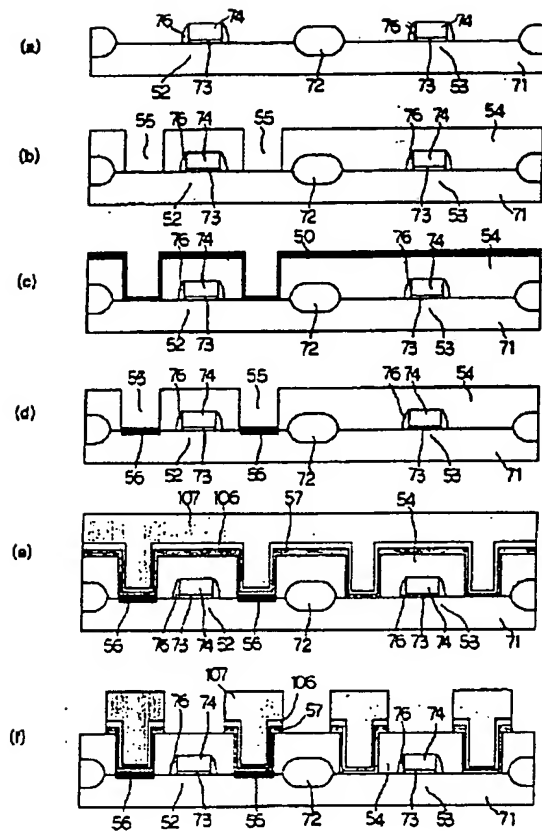
【図12】



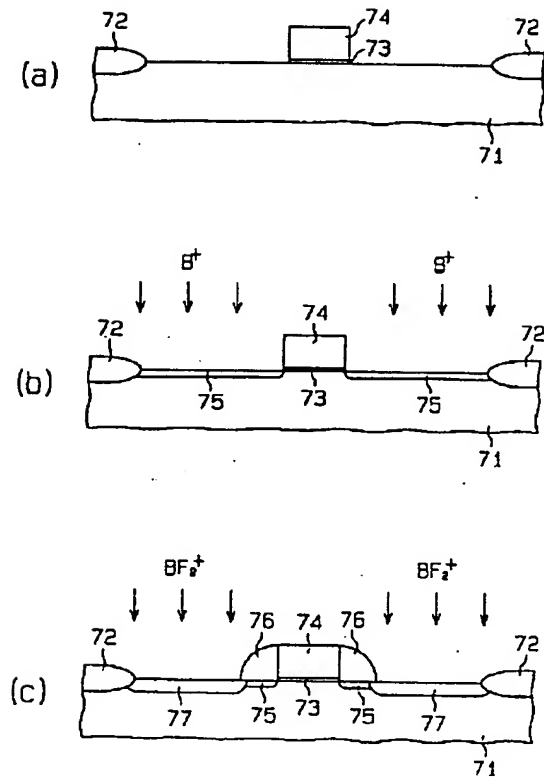
【図15】



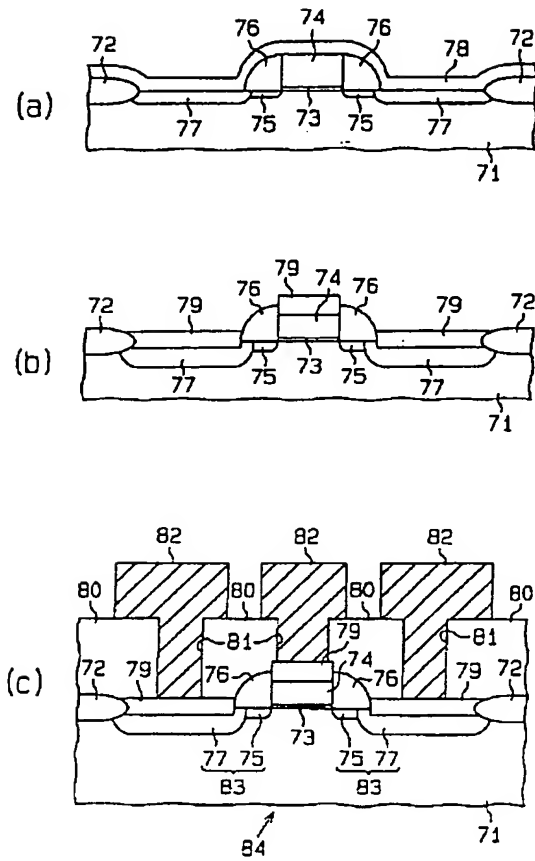
【図9】



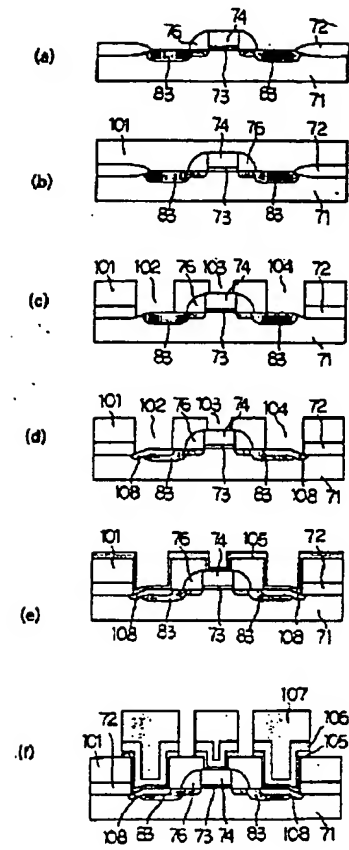
【図10】



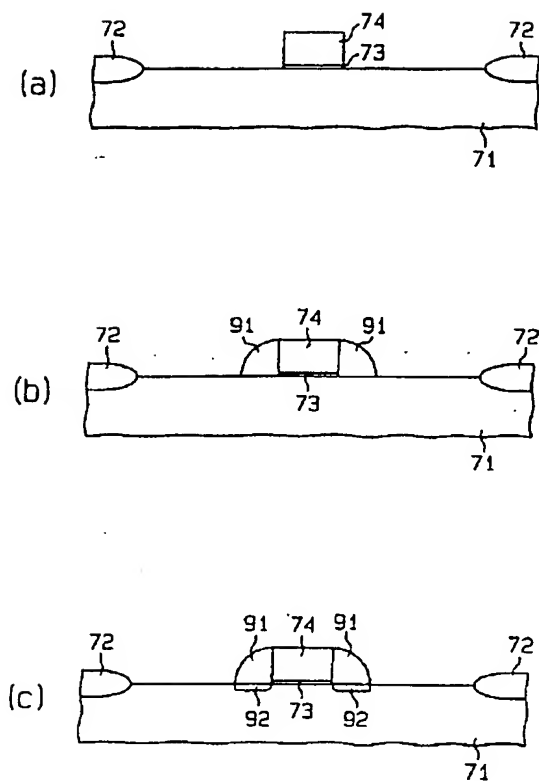
【図11】



【図13】



【図14】



フロントページの続き(51)Int. Cl.⁶

H01L 21/285

識別記号

庁内整理番号

F I

技術表示箇所